

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321242

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092

(21)Application number : 08-136318

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.05.1996

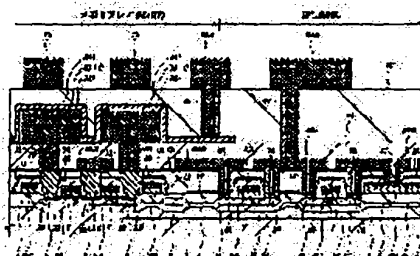
(72)Inventor : AOKI HIDEO
TADAKI YOSHITAKA
SEKIGUCHI TOSHIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To advance the improvement for providing a high speed, high performance and high integration degree device by simplifying the process of manufacturing a DRAM having a capacitor over bit line structure.

SOLUTION: A W-contained conductive film having a lower resistance than that of a polysilicon or polycide is used to form gate electrodes 8A (word lines WL) of memory cell selecting MISFETs Qt, and gate electrodes 8B and 8C of n-and p-channel type MISFETs Qp for peripheral circuits in the same step. A W-contained conductive film is used to form bit lines BL1, BL2 and wirings 30A, 30B on a second layer of the peripheral circuits in the same step.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment which has DRAM equipped with the memory cell of the stacked capacitor structure which arranges a bit line in the upper part of MISFET for memory cell selection, and arranges the capacitative element for information storage in the upper part of the aforementioned bit line characterized by providing the following. The word line connected to the gate electrode of the aforementioned MISFET for memory cell selection, and this. The gate electrode of MISFET of a circumference circuit. About the 1st-layer wiring of a circumference circuit, it is the metal film of at least one layer.

[Claim 2] Semiconductor integrated circuit equipment characterized by making the auxiliary wiring which is semiconductor integrated circuit equipment according to claim 1, constituted the lower electrode of the aforementioned capacitative element for information storage from the 4th conductive layer containing the metal film of at least one layer, and consisted of the lower electrodes, capacity insulator layers, and up electrodes of the aforementioned capacitative element for information storage intervene between the 2nd-layer wiring of the aforementioned circumference circuit, and the 3rd-layer wiring.

[Claim 3] It is semiconductor integrated circuit equipment characterized by the bird clapper from the metal chosen from the group which it is semiconductor integrated circuit equipment according to claim 1 or 2, and the aforementioned metal film becomes from a tungsten, aluminum, titanium, platinum, copper, and platinum.

[Claim 4] It is semiconductor integrated circuit equipment with which it is semiconductor integrated circuit equipment according to claim 1, 2, or 3, and the 1st conductive layer of the above is characterized by the bird clapper from the cascade screen of a polycrystal silicon film, a titanium nitride film, and a tungsten film.

[Claim 5] The 1st-layer wiring of the aforementioned circumference circuit which is semiconductor integrated circuit equipment according to claim 4, and consisted of the 1st conductive layer of the above is semiconductor integrated circuit equipment characterized by being arranged only at the upper part of the insulator layer for

isolation.

[Claim 6] It is semiconductor integrated circuit equipment with which it is semiconductor integrated circuit equipment given in any 1 term of claims 1-5, and the 2nd conductive layer of the above is characterized by the bird clapper from the cascade screen of a titanium nitride RAIDO film and a tungsten film.

[Claim 7] It is semiconductor integrated circuit equipment with which it is semiconductor integrated circuit equipment given in any 1 term of claims 1-6, and the up electrode of the aforementioned capacitive element for information storage is characterized by the bird clapper from a titanium nitride RAIDO film.

[Claim 8] The manufacture method of semiconductor integrated circuit equipment of having DRAM equipped with the memory cell of the stacked capacitor structure which arranges a bit line in the upper part of MISFET for memory cell selection, and arranges the capacitive element for information storage in the upper part of the aforementioned bit line characterized by providing the following. (a) The word line connected to the gate electrode of MISFET for memory cell selection, and this by carrying out patterning of the 1st conductive layer of the above after forming the 1st conductive layer containing the metal film of at least one layer on a semiconductor substrate. The gate electrode of MISFET of a circumference circuit. The word line connected to the process, the gate electrode of MISFET for the (b) aforementioned memory cell selection, and this which form the 1st-layer wiring of a circumference circuit simultaneously. It is the metal film of at least one layer on the 1st insulator layer formed in the upper part of the gate electrode of MISFET of the aforementioned circumference circuit, and the 1st-layer wiring of the aforementioned circumference circuit.

[Claim 9] The manufacture method of the semiconductor integrated circuit equipment which is the manufacture method of semiconductor integrated circuit equipment according to claim 8, and is characterized by carrying out flattening of the front face of the above 1st, the 2nd, and 3rd insulator layers by the chemical mechanical-polishing method.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention is a stacked capacitor (stacked capacitor) which arranges the capacitive element for information storage (capacitor) in the upper part of MISFET for memory cell selection about semiconductor integrated circuit equipment and its manufacturing technology. It applies to the semiconductor integrated circuit equipment which has DRAM (Dynamic

Random Access Memory) equipped with the memory cell of structure, and is related with effective technology.

[0002]

[Description of the Prior Art] The large capacity DRAM in recent years has adopted the stacked capacitor structure which arranges the capacitative element for information storage in the upper part of MISFET for memory cell selection, in order to compensate reduction of the amount of stored charges of the capacitative element for information storage accompanying detailed-izing of a memory cell (Cs).

[0003] The capacitative element for information storage of stacked capacitor structure carries out the laminating of an accumulation electrode (lower electrode), a capacity insulator layer, and the plate electrode (up electrode) one by one, and is formed. The accumulation electrode of the capacitative element for information storage is connected to one side of the semiconductor region (a source field, drain field) of MISFET for memory cell selection which consisted of n channel types. A plate electrode is constituted as an electrode common to two or more memory cells, and predetermined fixed potential (plate potential) is supplied.

[0004] The bit line for performing writing of data and read-out is connected to another side of the semiconductor region (a source field, drain field) of MISFET for memory cell selection. A bit line is arranged between MISFET for memory cell selection, and the capacitative element for information storage, or at the upper part of the capacitative element for information storage. The structure which arranges the capacitative element for information storage in the upper part of a bit line is called capacitor over bit-line (Capacitor Over Bitline; COB) structure.

[0005] About DRAM which has the above-mentioned COB structure, JP,7-122654,A and JP,7-106437,A have a publication.

[0006] DRAM indicated by JP,7-122654,A The bit line formed in the upper part of MISFET for memory cell selection which formed the gate electrode (word line) by the cascade screen (polycide film) of a polycrystal silicon film or a polycrystal silicon film, and a tungsten silicide (WSix) film by the polycrystal silicon film (or polycide film) is arranged. The capacitative element for information storage which consists of the accumulation electrode formed in the upper part of this bit line by the polycrystal silicon film, a capacity insulator layer formed by the cascade screen of a silicon oxide film and a silicon nitride film, and a plate electrode formed by the polycrystal silicon film is arranged. And the common-source line formed in the upper part of this capacitative element for information storage by aluminum (aluminum) film of the 1st layer and the word line for shunts formed by aluminum film of the 2nd layer are arranged.

[0007] DRAM indicated by JP,7-106437,A arranges the bit line formed in the upper part of MISFET for memory cell selection which formed the gate electrode (word line) by the polycrystal silicon film by the polycide film. And by forming simultaneously the accumulation electrode of the capacitive element for information storage or plate electrode arranged in the upper part of this bit line, and the 1st-layer wiring of a circumference circuit with metal material (for example, Pt (platinum)), the electrode formation process of the capacitive element for information storage and the metal wiring formation process of a circumference circuit are communalized, and simplification of a manufacturing process is attained.

[0008]

[Problem(s) to be Solved by the Invention] Since resistance forms the gate electrode (word line) by high polycrystal silicon and a high polycide compared with metal material, such as aluminum and W, DRAM of the COB structure mentioned above is reducing the gate delay by forming the metal wiring for gate electrode backing (word line for shunts) in the upper part of the capacitive element for information storage. Moreover, resistance is high, and since the bit line is formed by polycrystal silicon and the polycide which moreover are not simultaneously connectable with n type substrate and p type substrate, a bit line and wiring of a circumference circuit cannot be communalized. Therefore, the number of each wiring layers of a memory array and a circumference circuit increases, and the problem that a manufacturing process increases arises.

[0009] Moreover, if the number of wiring layers increases, the number of layers of the layer insulation film formed between up-and-down wiring will also increase, and the number of times of the flattening processing which carries out a reflow of the layer insulation film, or anneals it at the elevated temperature of 850-900 degrees C increases. Therefore, as a result of it becoming difficult to become easy to diffuse in a substrate the impurity's in the semiconductor region (diffusion layer's) which constitutes the source field's of MISFET and a drain field's, and it to form shallow pn junction's, the problem that the performance of MISFET falls arises.

[0010] Moreover, since a bit line and wiring of a circumference circuit cannot be communalized, you have to form the 1st-layer wiring of a circumference circuit in the upper layer rather than a bit line. therefore, the connection which connects the 1st-layer wiring and MISFET of a circumference circuit -- the result to which the aspect ratio (a path/depth) of a hole becomes large -- connection -- that formation of a hole becomes difficult **** -- connection -- the problem that it becomes difficult to embed a wiring material to the interior of a hole arises

[0011] Moreover, when resistance forms a gate electrode (word line) by high polycrystal

silicon and a high polycide, the number of memory cells which can connect with one WORD driver cannot be made [many]. That is, since the number of the WORD drivers connected to a predetermined number of memory cells must be made [many] in order to reduce a gate delay, the problem that a chip size becomes large and a degree of integration falls arises.

[0012] One purpose of this invention is to offer the technology which can simplify the manufacturing process of DRAM which has COB structure.

[0013] Other purposes of this invention are to offer the technology in which the improvement in the speed of DRAM which has COB structure can be promoted.

[0014] Other purposes of this invention are to offer the technology in which highly efficient-ization of DRAM which has COB structure can be promoted.

[0015] Other purposes of this invention are to offer the technology in which the high integration of DRAM which has COB structure can be promoted.

[0016] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0017]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0018] (1) The semiconductor integrated circuit equipment of this invention arranges a bit line in the upper part of MISFET for memory cell selection. The word line which has DRAM which equipped the upper part of the aforementioned bit line with the memory cell of the stacked capacitor structure which arranges the capacitative element for information storage, and is connected to the gate electrode of the aforementioned MISFET for memory cell selection, and this, The gate electrode of MISFET of a circumference circuit, and the 1st-layer wiring of a circumference circuit It constitutes from the 1st conductive layer containing the metal film of at least one layer. the aforementioned bit line and the 2nd-layer wiring of a circumference circuit It constitutes from the 2nd conductive layer containing the metal film of at least one layer, and wiring of the upper part of the aforementioned capacitative element for information storage and the 3rd-layer wiring of a circumference circuit consist of the 3rd conductive layer containing the metal film of at least one layer.

[0019] (2) The manufacture method of the semiconductor integrated circuit equipment of this invention (a) after forming the 1st conductive layer containing the metal film of at least one layer on a semiconductor substrate, by carrying out patterning of the 1st conductive layer of the above The word line connected to the gate electrode of MISFET

for memory cell selection, and this, The word line connected to the process, the gate electrode of MISFET for the (b) aforementioned memory cell selection, and this which form simultaneously the gate electrode of MISFET of a circumference circuit, and the 1st-layer wiring of a circumference circuit, After forming the 2nd conductive layer containing the metal film of at least one layer on the 1st insulator layer formed in the upper part of the gate electrode of MISFET of the aforementioned circumference circuit, and the 1st-layer wiring of the aforementioned circumference circuit, The process which forms simultaneously a bit line and the 2nd-layer wiring of a circumference circuit by carrying out patterning of the 2nd conductive layer of the above, (c) on the 2nd insulator layer formed in the upper part of the aforementioned bit line and the 2nd-layer wiring of the aforementioned circumference circuit The process which forms the capacitive element for information storage which consists of a lower electrode, a capacity insulator layer, and an up electrode, (d) after forming the 3rd conductive layer containing the metal film of at least one layer on the 3rd insulator layer formed in the upper part of the aforementioned capacitive element for information storage, by carrying out patterning of the 3rd conductive layer of the above The process which forms simultaneously wiring of the upper part of the aforementioned capacitive element for information storage and the 3rd-layer wiring of a circumference circuit is included.

[0020]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0021] (Gestalt 1 of operation) The whole semiconductor chip plan with which drawing 1 formed DRAM of the gestalt of this operation, and drawing 2 are the expansion plans showing the part.

[0022] DRAM which has the capacity of for example, 64Mbit(s) (megabit) is formed in the principal plane of semiconductor chip 1A which consists of single crystal silicon. As shown in drawing 1, this DRAM consists of a memory mat MM divided into eight pieces, and a circumference circuit arranged at those circumferences. 8Mbit(s) Each of the memory mat MM which has capacity is divided into 16 memory arrays MARY as shown in drawing 2. Each of the memory array MARY is 2Kbit x(kilobit)256bit =512Kbit arranged in the shape of a matrix. It consists of memory cells and the sense amplifier SA and the WORD driver WD of a circumference circuit are arranged at those circumferences.

[0023] Drawing 3 is the cross section of a semiconductor substrate showing the

important section (one section each of the circumference circuit which adjoins the memory array shown in drawing 2, and it) of DRAM of the gestalt of this operation.

[0024] p- p type common to the memory array MARY and a circumference circuit to the semiconductor substrate 1 which consists of single crystal silicon of a mold -- n type of a well 2 and a circumference circuit -- the well 3 is formed p type -- a well 2 and n type -- p type which the field oxide film 4 for isolation is formed in each front face of a well 3, and contains the lower part of this field oxide film 4 -- the inside of a well 2 -- p type channel-stopper layer 5 -- moreover, n type -- in the well 3, n type channel-stopper layer 6 is formed, respectively

[0025] p type of the memory array MARY -- the memory cell (plurality) is formed in the active field of a well 2 Each of a memory cell consists of capacitative element C for information storage of the piece formed in MISFETQt for memory cell selection and the upper part of the piece which consisted of n-channel types. That is, this memory cell consists of stacked capacitor structures which arrange the capacitative element C for information storage in the upper part of MISFETQt for memory cell selection.

[0026] MISFETQt for memory cell selection consists of gate electrode 8A formed in the gate oxide film 7, a word line WL, and one, and n-type-semiconductor fields 9 and 9 (a source field, drain field) of a couple. Gate electrode 8A (word line WL) consists of electric conduction films (the 1st conductive layer) of three layers which carried out the laminating of a polycrystal silicon film, a TiN (titanium nitride) film, and the W (tungsten) film, and in order to reduce the resistance, the n type impurity (P (Lynn)) is doped by the polycrystal silicon film. The silicon nitride film 10 is formed in the upper part of gate electrode 8A (word line WL), and the sidewall spacer 11 of a silicon nitride is formed in the side attachment wall.

[0027] p type of a circumference circuit -- n channel type MISFETQn forms in the active field of a well 2 -- having -- **** -- n type -- p-channel type MISFETQp is formed in the active field of a well 3 That is, this circumference circuit is CMOS (Complementary Metal Oxide Semiconductor) which combined n channel type MISFETQn and p-channel type MISFETQp. It consists of circuits.

[0028] N channel type MISFETQn consists of the gate oxide film 7, gate electrode 8B, a source field, and a drain field. Gate electrode 8B consists of electric conduction films of three layers which carried out the laminating of a polycrystal silicon film, a TiN film, and the W film as well as gate electrode 8A (word line WL) of the aforementioned MISFETQt for memory cell selection. Moreover, the silicon nitride film 10 is formed in the upper part of gate electrode 8B, and the sidewall spacer 11 of a silicon nitride is formed in the side attachment wall. A source field and a drain field are n of low high

impurity concentration. The type semiconductor region 12 and n+ of high high impurity concentration LDD which consists of a type semiconductor region 13 (Lightly Doped Drain) It consists of structures and is n+. Ti silicide (TiSix) layer 16 is formed in the front face of the type semiconductor region 13.

[0029] P-channel type MISFETQp consists of the gate oxide film 7, gate electrode 8C, a source field, and a drain field. Gate electrode 8C consists of electric conduction films of three layers which carried out the laminating of a polycrystal silicon film, a TiN film, and the W film as well as gate electrode 8A (word line WL) of the aforementioned MISFETQt for memory cell selection. Moreover, the silicon nitride film 10 is formed in the upper part of gate electrode 8C, and the sidewall spacer 11 of a silicon nitride is formed in the side attachment wall. A source field and a drain field are p of low high impurity concentration. The type semiconductor region 14 and p+ of high high impurity concentration It consists of LDD structures which consist of a type semiconductor region 15, and is p+. Ti silicide layer 16 is formed in the front face of the type semiconductor region 15.

[0030] Wiring 8D of the 1st layer is formed in the upper part of the field insulator layer 4 of a circumference circuit. Wiring 8D consists of electric conduction films of three layers which carried out the laminating of a polycrystal silicon film, a TiN film, and the W film as well as gate electrode 8A (word line WL) of the aforementioned MISFETQt for memory cell selection. Moreover, the silicon nitride film 10 is formed in the upper part of wiring 8D, and the sidewall spacer 11 of a silicon nitride is formed in the side attachment wall.

[0031] The silicon-oxide film 17 is formed in the upper part of MISFETQt for memory cell selection, n channel type MISFETQn, p-channel type MISFETQp, and wiring 8D. The BPSG (Boron-doped Phospho Silicate Glass) film 18 is formed in the upper part of the silicon-oxide film 17, and the silicon-oxide film 19 is formed in the upper part of the BPSG film 18.

[0032] Bit lines BL1 and BL2 are formed in the upper part of the silicon-oxide film 19 of the memory array MARY. Bit lines BL1 and BL2 It consists of two-layer electric conduction films (the 2nd conductive layer) which carried out the laminating of a TiN film and the W film. bit line BL1 the connection which embedded the plug 20 of polycrystal silicon -- the source field of MISFETQt for memory cell selection and the drain field are electrically connected with on the other hand (n-type semiconductor field 9) through the hole 21 moreover, bit line BL2 connection -- the source field of n channel type MISFETQn of a circumference circuit and the drain field are electrically connected with on the other hand (n+ type semiconductor region 13) through the hole 23

[0033] The 2nd-layer wiring 30A and 30B is formed in the upper part of the silicon-oxide film 19 of a circumference circuit. Wiring 30A and 30B is the aforementioned bit lines BL1 and BL2. Similarly it consists of two-layer electric conduction films which carried out the laminating of a TiN film and the W film. the end of wiring 30A -- connection -- it connects with another side (n+ type semiconductor region 13) of the source field of n channel type MISFETQn, and a drain field electrically through a hole 24 -- having -- **** -- the other end -- connection -- the source field of p-channel type MISFETQp and the drain field are electrically connected with on the other hand (p+ type semiconductor region 15) through the hole 25 moreover, the end of wiring 30B -- connection -- it connects with another side (p+ type semiconductor region 15) of the source field of p-channel type MISFETQp, and a drain field electrically through a hole 26 -- having -- **** -- the other end -- connection -- it connects with wiring 8D of the 1st aforementioned layer electrically through the hole 27

[0034] As shown in drawing 4 (plan showing a part of other circumference circuits), the circumference circuit of DRAM of the gestalt of this operation is connecting n channel type MISFETQn and p-channel type MISFETQp using wiring 8D of the 1st layer, and the 2nd-layer wiring 30C-30G. wiring 8D of the 1st layer which consisted of cascade screens of the polycrystal silicon film and TiN film which doped the n type impurity (P), and W film -- p type -- a well 2 and n type -- since it is not simultaneously connectable with a well 3, it is arranged at the upper part of the field oxide film 4 Supply of the supply voltage (Vcc or GND) to n channel type MISFETQn and p-channel type MISFETQp is performed using the 3rd-layer wiring (38C, 38D) mentioned later.

[0035] Bit lines BL1 and BL2 And the silicon-oxide film 31 is formed in the upper part of Wiring 30A and 30B. The capacitive element C for information storage is formed in the upper part of the silicon-oxide film 31 of the memory array MARY. The capacitive element C for information storage consists of an accumulation electrode (lower electrode) 32, a capacity insulator layer 33, and a plate electrode (up electrode) 34.

[0036] the connection which the accumulation electrode 32 of the capacitive element C for information storage consists of W films, and embedded the plug 35 of W -- the connection which embedded the plug 20 of a hole 36 and polycrystal silicon -- it connects with another side (n-type semiconductor field 9) of the source field of MISFETQt for memory cell selection, and a drain field electrically through the hole 22 The capacity insulator layer 33 consists of Ta2 O5 films (tantalum oxide), and the plate electrode 34 consists of TiN films.

[0037] The silicon-oxide film 37 is formed in the upper part of the capacitive element C for information storage. Y selection line YS and wiring 38A are formed in the upper

part of the silicon-oxide film 37 of the memory array MARY, and wiring 38B of the 3rd layer is formed in the upper part of the silicon-oxide film 37 of a circumference circuit. wiring 38A -- connection -- it connects with the plate electrode 34 of the capacitive element C for information storage electrically through the hole 40, and plate voltage (pinch off voltage) is supplied to the plate electrode 34 wiring 38B -- connection -- it connects with wiring 30A of the 2nd layer of a circumference circuit electrically through the hole 41, and supply voltage (Vcc or GND) is supplied to MISFET of a circumference circuit Y selection line YS and Wiring 38A and 38B consist of electric conduction films (the 3rd conductive layer) of four layers which carried out the laminating of Ti film, a TiN film, aluminum (aluminum) alloy film that added Si (silicon) and Cu (copper), and the TiN film.

[0038] Those illustration is omitted, although the passivation film which consisted of cascade screens of a silicon-oxide film and a silicon nitride film etc. is formed in the upper part of Y selection line YS and Wiring 38A and 38B and protective coats, such as polyimide resin, are formed in the upper part of a passivation film if needed.

[0039] Next, the manufacture method of DRAM of the gestalt this operation is explained in detail using drawing 5 - drawing 18.

[0040] First, as shown in drawing 5, after forming the field oxide film 4 in the front face of the semiconductor substrate 1 by the selective oxidation (LOCOS) method, Carry out the ion implantation of the p type impurity (boron (B)) to the semiconductor substrate 1 of the field which forms the memory array MARY, and the field which forms n channel type MISFET of a circumference circuit, and a well 2 is formed p mold. The ion implantation of the n type impurity (Lynn (P)) is carried out to the semiconductor substrate 1 of the field which forms p-channel type MISFET of a circumference circuit, and a well 3 is formed n mold. then, p type -- a well 2 -- p type impurity (B) -- an ion implantation -- carrying out -- p type channel-stopper layer 5 -- forming -- n type -- the ion implantation of the n type impurity (P) is carried out to a well 3, and n type channel-stopper layer 6 is formed then, p type surrounded by the field oxide film 4 -- a well 2 and n type -- the gate oxide film 7 is formed in the front face of each active region of a well 3 by the oxidizing [thermally] method

[0041] Next, as shown in drawing 6, gate electrode 8A (word line WL) of MISFETQt for memory cell selection, gate electrode 8B of n channel type MISFETQn, gate electrode 8C of p-channel type MISFETQp, and wiring 8D of the 1st layer are formed. After the gate electrodes 8A (word line WL), 8B, and 8C and wiring 8D deposit a polycrystal silicon film in CVD first, subsequently deposit a TiN film and W film by the sputtering method and deposit a silicon nitride film 10 in CVD further, by etching which used the

photoresist as the mask, they carry out patterning of these films, and form them simultaneously.

[0042] next, it is shown in drawing 7 -- as -- p type -- a well 2 -- n type impurity (P) -- an ion implantation -- carrying out -- n- of the n-type-semiconductor fields 9 and 9 of MISFETQt for memory cell selection, and n channel type MISFETQn the type semiconductor region 12 -- forming -- n type -- a well 3 -- p type impurity (B) -- an ion implantation -- carrying out -- p- of p-channel type MISFETQp A type semiconductor region is formed.

[0043] Next, as shown in drawing 8 , the sidewall spacer 11 is formed in each side attachment wall of gate electrode 8A (word line WL) of MISFETQt for memory cell selection, gate electrode 8B of n channel type MISFETQn, gate electrode 8C of p-channel type MISFETQp, and wiring 8D of the 1st layer. The sidewall spacer 11 carries out anisotropic etching of the silicon nitride film deposited in CVD, and forms it.

subsequently, p type of a circumference circuit -- a well 2 -- n type impurity (P) -- an ion implantation -- carrying out -- n+ of n channel type MISFETQn the type semiconductor region 13 -- forming -- n type -- a well 3 -- p type impurity (B) -- an ion implantation -- carrying out -- p+ of p-channel type MISFETQp The type semiconductor region 15 is formed.

[0044] Next, as shown in drawing 9 , after depositing the silicon-oxide film 17 and the BPSG film 18 on each upper part of gate electrode 8A (word line WL) of MISFETQt for memory cell selection, gate electrode 8B of n channel type MISFETQn, gate electrode 8C of p-channel type MISFETQp, and wiring 8D of the 1st layer in CVD, the BPSG film 18 is ground by the chemical mechanical-polishing method (Chemical Mechanical Polishing; CMP) method, and flattening of the front face is carried out.

[0045] Next, as shown in drawing 10 , after depositing the polycrystal silicon film 28 in CVD on the BPSG film 18, By using a photoresist as a mask and *****ing the polycrystal silicon film 28, the BPSG film 18, the silicon-oxide film 17, and the gate oxide film 7 the upper part [on the other hand / (n-type-semiconductor field 9)] of the source field of MISFETQt for memory cell selection, and a drain field -- connection -- a hole 21 -- forming -- the upper part of another side (n-type-semiconductor field 9) -- connection -- a hole 22 is formed connection of a path smaller than the resolution of the exposure light used for forming the mask of the above-mentioned photoresist since the sidewall spacer 11 of the silicon nitride film 10 formed in the upper part of gate electrode 8A (word line WL) of MISFETQt for memory cell selection and the silicon nitride formed in the side attachment wall remains at this time, without hardly *****ing -- holes 21 and 22 can be formed by self-adjustment (self aryne)

[0046] next, it is shown in drawing 11 -- as -- connection -- the plug 20 of polycrystal silicon is formed in the interior of holes 21 and 22 This plug 20 removes and forms the upside polycrystal silicon film and the upside polycrystal silicon film 28 of the BPSG film 18 by etchback, after depositing a polycrystal silicon film on the upper part of the polycrystal silicon film 28 in CVD. An n type impurity (P) is doped on the polycrystal silicon film which constitutes a plug 20. this impurity -- connection -- it is spread through holes 21 and 22 to the n-type semiconductor fields 9 and 9 (a source field, drain field) of MISFETQt for memory cell selection, and the n-type semiconductor fields 9 and 9 are formed into low resistance

[0047] next, etching which deposited the silicon-oxide film 19 on the upper part of the BPSG film 18 in CVD, and carried out the photoresist subsequently to a mask as shown in drawing 12 -- connection, as shown in drawing 13 , after removing the silicon-oxide film 19 of the upper part of a hole 21 By using a photoresist as a mask and *****ing the silicon-oxide film 19, the BPSG film 18, the silicon-oxide film 17, and the gate oxide film 7 of a circumference circuit one upper part of the source field of n channel type MISFETQn, and a drain field -- connection -- a hole 23 -- forming -- the upper part of another side -- connection -- a hole 24 is formed moreover, one upper part of the source field of p-channel type MISFETQp, and a drain field -- connection -- a hole 25 -- forming -- the upper part of another side -- connection -- a hole 26 -- forming -- the upper part of wiring 8D -- connection -- a hole 27 is formed

[0048] next, it is shown in drawing 14 -- as -- connection -- n+ of n channel type MISFETQn exposed to the pars basilaris ossis occipitalis of holes 23 and 24 With the front face of the type semiconductor region 13 connection -- p+ of p-channel type MISFETQp exposed to the pars basilaris ossis occipitalis of holes 25 and 26 After forming Ti silicide layer 16 in the front face of the type semiconductor region 15 They are bit lines BL1 and BL2 to the upper part of the silicon-oxide film 19 of the memory array MARY. It forms and the 2nd-layer wiring 30A and 30B is formed in the upper part of the silicon-oxide film 19 of a circumference circuit. After Ti silicide layer's 16 annealing Ti film deposited by the sputtering method and making it react with Si substrate (n+ type semiconductor region 13, p+ type semiconductor region 15), it removes and forms unreacted Ti film by etching. Bit lines BL1 and BL2 And by etching which used the photoresist as the mask, patterning of these films is carried out and Wiring 30A and 30B forms them simultaneously, after depositing a TiN film and W film by the sputtering method.

[0049] Next, as shown in drawing 15 , they are bit lines BL1 and BL2. And wiring 30A, By using a photoresist as a mask and *****ing the silicon-oxide film 31 and the

silicon-oxide film 19, after grinding the silicon-oxide film 31 deposited on the upper part of 30B in CVD by the chemical mechanical-polishing method and carrying out flattening of the front face the aforementioned connection formed in the upper part of another side (n-type semiconductor field 9) of the source field of MISFETQt for memory cell selection, and a drain field -- the upper part of a hole 22 -- connection -- a hole 36 is formed

[0050] next, it is shown in drawing 16 -- as -- connection -- the connection after forming the plug 35 of W in the interior of a hole 36 -- the accumulation electrode 32 of the capacitive element C for information storage is formed in the upper part of a hole 36 The plug 35 of W carries out etchback of the W film deposited in the sputtering method and CVD to the upper part of the silicon-oxide film 31, and forms it in it. By etching which used the photoresist as the mask, patterning of the W film deposited on the upper part of the silicon-oxide film 31 by the sputtering method is carried out, and the accumulation electrode 32 forms it.

[0051] Next, as shown in drawing 17, it is Ta 2O5 at CVD to the upper part of the accumulation electrode 32. A film is deposited. Subsequently, Ta 2O5 By carrying out patterning of these films by etching which used the photoresist as the mask, after depositing a TiN film on the membranous upper part in CVD The accumulation electrode 32 and Ta 2O5 which consisted of W films The capacitive element C for information storage which consists of a plate electrode 34 which consisted of a capacity insulator layer 33 which consisted of films, and a TiN film is formed.

[0052] Next, as shown in drawing 18, after grinding the silicon-oxide film 37 deposited on the upper part of the capacitive element C for information storage in CVD by the chemical mechanical-polishing method and carrying out flattening of the front face, By using a photoresist as a mask and *****ing the silicon-oxide film 37 the upper part of the plate electrode 34 of the capacitive element C for information storage -- connection -- forming a hole 40 and *****ing the silicon-oxide film 37 and the silicon-oxide film 31 simultaneously -- the upper part of wiring 30A of the 2nd layer of a circumference circuit -- connection -- a hole 41 is formed

[0053] Then, DRAM shown in aforementioned drawing 3 is completed by forming Y selection line YS and the wiring 38A and 38B of the 3rd layer of a circumference circuit in the upper part of the silicon-oxide film 37. By etching which used the photoresist as the mask, patterning of these films is carried out and Y selection line YS and Wiring 38A and 38B form them simultaneously, after depositing Ti film, a TiN film, aluminum alloy film, and a TiN film on the upper part of the silicon-oxide film 37 by the sputtering method.

[0054] According to the DRAM of the form of this operation constituted as mentioned

above, the following effects can be acquired.

[0055] (1) Since a gate delay can be reduced by having constituted gate electrode 8A (word line WL) of MISFETQt for memory cell selection, gate electrode 8B of n channel type MISFETQn of a circumference circuit, and gate electrode 8C of p-channel type MISFETQp from polycrystal silicon or a polycide by the electric conduction film containing W of low resistance, the working speed of DRAM can be raised. Moreover, since the low resistance metal wiring for gate electrode backing (word line for shunts) currently formed in the upper part of the capacitive element for information storage becomes unnecessary conventionally, the wiring layer of the memory array MARY can be reduced by one layer.

[0056] (2) By the above (1), the gate electrodes 8B and 8C of gate electrode 8A (word line WL) of the memory array MARY and a circumference circuit and wiring 8D of the 1st layer can be formed at the same process. Thereby, conventionally, since the 1st-layer wiring of the circumference circuit currently formed in the wiring layer other than the wiring layer of the memory array MARY becomes unnecessary, the wiring layer of a circumference circuit can be reduced by one layer.

[0057] (3) By the above (1), the number of memory cells linked to one WORD driver WD can be made [many]. that is, since the number of the WORD drivers WD connected to a predetermined number of memory cells can be reduced, the part and a chip size can be reduced and the degree of integration of DRAM (or the occupancy area of the memory array MARY -- expanding) can be raised

[0058] (4) Bit lines BL1 and BL2 Since bit line delay can be reduced by having constituted from an electric conduction film containing W of low resistance, the working speed of DRAM can be raised.

[0059] (5) By the above (4), they are the bit lines BL1 and BL2 of the memory array MARY. The wiring 30A and 30B of the 2nd layer of a circumference circuit can be formed at the same process. Since the 2nd-layer wiring of the circumference circuit which this formed at the process after forming the capacitive element C for information storage of a memory cell conventionally becomes unnecessary, the wiring layer of a circumference circuit can be reduced by one layer.

[0060] (6) Wiring 8D of the 1st layer and wiring 30A of the 2nd layer which connect n channel type MISFETQn and p-channel type MISFETQp of a circumference circuit, By having arranged 30B in the lower layer from the capacitive element C for information storage of a memory cell the connection formed in the upper part of the source field of n channel type MISFETQn, and a drain field -- holes 23 and 24 and the source field of p-channel type MISFETQp -- the connection formed in the upper part of a drain field --

since the aspect ratio of holes 25 and 26 can be made small -- these connection -- the connection reliability of the wiring in the interior of a hole (23-26) can be raised

[0061] (7) Since the wiring layer of the memory array MARY can be reduced by one layer and the wiring layer of a circumference circuit can be reduced by two layers by the above (1), (2), and (5), the number of manufacturing processes of DRAM can be reduced and improvement in the yield and reduction of a manufacturing cost can be aimed at.

[0062] (8) Gate electrode 8A of MISFETQt for memory cell selection (word line WL), The BPSG film 18 deposited on the upper part of gate electrode 8B of n channel type MISFETQn, gate electrode 8C of p-channel type MISFETQp, and wiring 8D of the 1st layer, Bit lines BL1 and BL2 And the silicon-oxide film 31 deposited on the upper part of Wiring 30A and 30B, The number of the heat treatment processes of the whole process can be reduced by having ground the silicon-oxide film 37 deposited on the upper part of the capacitive element C for information storage by the chemical mechanical polishing method, and having carried out flattening of those front faces, and the above (7). Since diffusion of the impurity in each source field of MISFETQt for memory cell selection, n channel type MISFETQn, and p-channel type MISFETQp and a drain field can be suppressed and shallow pn junction can be formed by this, detailed-izing of these MISFET(s) and highly efficient-ization can be promoted.

[0063] (Form 2 of operation) Drawing 19 is the cross section of a semiconductor substrate showing the important section of DRAM of the form of this operation.

[0064] DRAM of the form of this operation The source field of MISFETQt for memory cell selection, a drain field -- on the other hand (n-type semiconductor field 9) -- bit line BL1 the connection connected electrically -- the interior of a hole 21, and a source field -- the connection which connects electrically another side (n-type semiconductor field 9) of a drain field, and the accumulation electrode (lower electrode) 32 of the capacitive element C for information storage -- the plug 29 which consisted of two-layer electric conduction films which carried out the laminating of a TiN film and the W film to the interior of a hole 22 is embedded After this plug 29 deposits a TiN film and W film by the sputtering method on the silicon-oxide film 19, it carries out etchback of these films, and forms them.

[0065] According to the above-mentioned composition, the wiring layer (word line WL) of the memory array MARY, i.e., gate electrode 8 of MISFETQt for memory cell selection A, Bit lines BL1 and BL2 and Y selection line YS, and plugs 29 and 35 are constituted from a conductive layer containing a low resistance metal film (W film or aluminum film). The wiring layer of a circumference circuit, i.e., gate electrode 8 of n channel type MISFETQn B, By having constituted gate electrode 8C of p-channel type MISFETQp,

wiring 8D of the 1st layer, the 2nd-layer wiring 30A and 30B, and the 3rd-layer wiring 30A and 30B from a conductive layer containing a low resistance metal film (W film or aluminum film) The working speed of DRAM can be raised.

[0066] Moreover, DRAM of the gestalt of this operation forms the auxiliary wiring 39A, 39B, and 39C between the wiring 30A and 30B of the 2nd layer of a circumference circuit, and the 3rd-layer wiring 38A and 38B. The auxiliary wiring 39A, 39B, and 39C is W film and Ta 2O₅ as well as the capacitive element C for information storage. It constitutes from three layer membranes which carried out the laminating of a film and the TiN film, and forms simultaneously at the process which forms the capacitive element C for information storage.

[0067] The auxiliary wiring 39A and 39B is used as a pad layer which connects the 3rd-layer wiring 38A and 38B and the 2nd-layer wiring 30A and 30B. the connection which connects the 3rd-layer wiring 38A and 38B and the 2nd-layer wiring 30A and 30B by this -- since the aspect ratio of a hole can be made small, the connection reliability of wiring of a circumference circuit can be raised Auxiliary wiring 39C is used as dummy wiring for easing the difference in elevation of for example, the memory array MARY and a circumference circuit, and is suitably arranged to the field in which the above-mentioned pad layer is not formed.

[0068] As mentioned above, although invention made by this invention person was concretely explained based on the form of operation, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the form of the aforementioned implementation and does not deviate from the summary.

[0069] For example, the gate electrode (word line) of MISFET, and the 1st-layer wiring of a circumference circuit or the accumulation electrode of the capacitive element for information storage may consist of conductive layers containing WN (nitriding tungsten) film. Moreover, the plate electrode of the capacitive element for information storage may be constituted from a conductive layer containing Pt (platinum) or Au(gold), or a capacity insulator layer may consist of ferroelectric films, such as PZT. Furthermore, wiring of the upper part of the capacitive element for information storage may consist of Cu(s) (copper).

[0070]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

[0071] According to this invention, since the wiring layer of a memory array and the wiring layer of a circumference circuit can be reduced, the number of manufacturing processes of DRAM can be reduced and improvement in the yield and reduction of a

manufacturing cost can be aimed at.

[0072] According to this invention, since a gate electrode (word line) can be formed into low resistance, the number of the WORD drivers connected to a predetermined number of memory cells can be reduced, thereby, a chip size can be reduced and the degree of integration of DRAM can be raised.

[0073] the connection formed in the upper part of the source field of these MISFET(s), and a drain field by having arranged the 1st-layer wiring and the 2nd-layer wiring which connect n channel type MISFET and p-channel type MISFET of a circumference circuit in the lower layer rather than the capacitive element for information storage of a memory cell according to this invention -- the aspect ratio of a hole can be made small and the connection reliability of wiring of a circumference circuit can be raised

[0074] According to this invention, since the number of the heat treatment processes of the whole process can be reduced, diffusion of the impurity in the source field of MISFET and a drain field can be suppressed, shallow pn junction can be formed, and detailed-izing of MISFET which constitutes DRAM by this, and highly efficient-ization can be promoted.

[Brief Description of the Drawings]

[Drawing 1] It is the whole semiconductor chip plan in which DRAM which is the gestalt 1 of operation of this invention was formed.

[Drawing 2] It is the expansion plan of the semiconductor chip in which DRAM which is the gestalt 1 of operation of this invention was formed.

[Drawing 3] It is the important section cross section of a semiconductor substrate showing DRAM which is the gestalt 1 of operation of this invention.

[Drawing 4] It is the plan showing a part of circumference circuit of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 5] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 6] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 7] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 8] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this

invention.

[Drawing 9] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 10] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 11] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 12] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 13] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 14] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 15] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 16] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 17] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 18] It is the important section cross section of a semiconductor substrate showing the manufacture method of DRAM which is the gestalt 1 of operation of this invention.

[Drawing 19] It is the important section cross section of a semiconductor substrate showing DRAM which is the gestalt 2 of operation of this invention.

[Description of Notations]

1 Semiconductor Substrate

1A Semiconductor chip

2 It is Well P Molds.
 3 It is Well N Molds.
 4 Field Oxide Film
 5 P Type Channel-Stopper Layer
 6 N Type Channel-Stopper Layer
 7 Gate Oxide Film
 8A, 8B, 8C Gate electrode
 8D Wiring
 9 N-type-Semiconductor Field
 10 Silicon Nitride Film
 11 Sidewall Spacer
 12 N - Type Semiconductor Region
 13 N+ Type Semiconductor Region
 14 P - Type Semiconductor Region
 15 P+ Type Semiconductor Region
 16 Ti Silicide Layer
 17 Silicon-Oxide Film
 18 BPSG Film
 19 Silicon-Oxide Film
 20 Plug
 21 Connection -- Hole
 22 Connection -- Hole
 23 Connection -- Hole
 24 Connection -- Hole
 25 Connection -- Hole
 26 Connection -- Hole
 27 Connection -- Hole
 28 Polycrystal Silicon Film
 29 Plug
 30A-30G Wiring
 31 Silicon-Oxide Film
 32 Accumulation Electrode (Lower Electrode)
 33 Capacity Insulator Layer
 34 Plate Electrode (Up Electrode)
 35 Plug
 36 Connection -- Hole

37 Silicon Oxide Film
38A-38D Wiring
39A, 39B, 39C Auxiliary wiring
40 Connection -- Hole
41 Connection -- Hole
C Capacitative element for information storage
BL1, BL2 Bit line
MARY Memory array
MM Memory mat
Qn N channel type MISFET
Qp P-channel type MISFET
Qt MISFET for memory cell selection

SA Sense amplifier
WD WORD driver
WL Word line
YS Y selection line

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321242

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 8 1 F
	21/8242		27/04	C
	27/04		27/08	3 2 1 E
	21/822		27/10	6 2 1 B
	21/8238			6 8 1 E

審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平8-136318

(22) 出願日 平成8年(1996)5月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 青木 英雄

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 只木 ▲芳▼▲隆▼

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 関口 敏宏

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

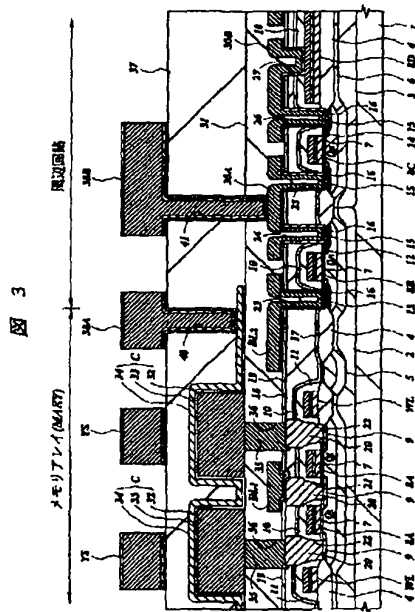
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 COB (キャパシタ・オーバー・ビットライン) 構造を有するDRAMの製造工程を簡略化し、高速化、高性能化、高集積化を推進する。

【解決手段】 メモリセル選択用MISFETQ_tのゲート電極8A (ワード線WL)、周辺回路のnチャネル型MISFETQ_nのゲート電極8Bおよびpチャネル型MISFETQ_pのゲート電極8Cを多結晶シリコンやポリサイドよりも低抵抗のWを含む導電膜で構成し、同一工程で形成する。また、ビット線BL₁、BL₂と周辺回路の第2層目の配線30A、30BとをWを含む導電膜で構成し、同一工程で形成する。



【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETの上部にビット線を配置し、前記ビット線の上部に情報蓄積用容量素子を配置するスタックド・キャパシタ構造のメモリセルを備えたDRAMを有する半導体集積回路装置であって、前記メモリセル選択用MISFETのゲート電極およびこれに接続されるワード線と、周辺回路のMISFETのゲート電極と、周辺回路の第1層目配線とを、少なくとも1層のメタル膜を含む第1の導電層で構成し、前記ビット線と周辺回路の第2層目配線とを、少なくとも1層のメタル膜を含む第2の導電層で構成し、前記情報蓄積用容量素子の上部の配線と周辺回路の第3層目配線とを、少なくとも1層のメタル膜を含む第3の導電層で構成したことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記情報蓄積用容量素子の下部電極を、少なくとも1層のメタル膜を含む第4の導電層で構成し、前記情報蓄積用容量素子の下部電極と容量絶縁膜と上部電極とで構成された補助配線を、前記周辺回路の第2層目配線と第3層目配線との間に介在させたことを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記メタル膜は、タングステン、アルミニウム、チタン、白金、銅および白金からなる群より選択されたメタルからなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、前記第1の導電層は、多結晶シリコン膜とチタンナイトライド膜とタングステン膜との積層膜からなることを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置であって、前記第1の導電層で構成された前記周辺回路の第1層目配線は、素子分離用絶縁膜の上部のみに配置されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか1項に記載の半導体集積回路装置であって、前記第2の導電層は、チタンナイトライド膜とタングステン膜との積層膜からなることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置であって、前記情報蓄積用容量素子の上部電極は、チタンナイトライド膜からなることを特徴とする半導体集積回路装置。

【請求項8】 メモリセル選択用MISFETの上部にビット線を配置し、前記ビット線の上部に情報蓄積用容量素子を配置するスタックド・キャパシタ構造のメモリセルを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に少なくとも1層のメタル膜を含む第1の導電層を形成した後、前記第1の導電層をパターンニングすることにより、メモリセル選択用MISFETのゲート電極およびこれに接続される

ワード線と、周辺回路のMISFETのゲート電極と、周辺回路の第1層目配線とを同時に形成する工程、

(b) 前記メモリセル選択用MISFETのゲート電極およびこれに接続されるワード線と、前記周辺回路のMISFETのゲート電極と、前記周辺回路の第1層目配線との上部に形成した第1の絶縁膜上に少なくとも1層のメタル膜を含む第2の導電層を形成した後、前記第2の導電層をパターンニングすることにより、ビット線と周辺回路の第2層目配線とを同時に形成する工程、(c) 前記ビット線と前記周辺回路の第2層目配線との上部に形成した第2の絶縁膜上に、下部電極と容量絶縁膜と上部電極とで構成される情報蓄積用容量素子を形成する工程、(d) 前記情報蓄積用容量素子の上部に形成した第3の絶縁膜上に少なくとも1層のメタル膜を含む第3の導電層を形成した後、前記第3の導電層をパターンニングすることにより、前記情報蓄積用容量素子の上部の配線と周辺回路の第3層目配線とを同時に形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法であって、前記第1、第2および第3の絶縁膜の表面を化学的機械研磨法で平坦化することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、メモリセル選択用MISFETの上部に情報蓄積用容量素子(キャパシタ)を配置するスタックド・キャパシタ(stacked capacitor)構造のメモリセルを備えたDRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年の大容量DRAMは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量(Cs)の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上部に配置するスタックド・キャパシタ構造を採用している。

【0003】スタックド・キャパシタ構造の情報蓄積用容量素子は、蓄積電極(下部電極)、容量絶縁膜、プレート電極(上部電極)を順次積層して形成される。情報蓄積用容量素子の蓄積電極は、nチャネル型で構成されたメモリセル選択用MISFETの半導体領域(ソース領域、ドレイン領域)の一方に接続される。プレート電極は、複数のメモリセルに共通の電極として構成され、所定の固定電位(プレート電位)が供給される。

【0004】メモリセル選択用MISFETの半導体領域(ソース領域、ドレイン領域)の他方には、データの書込み、読出しを行うためのビット線が接続される。ビット線は、メモリセル選択用MISFETと情報蓄積用容量素子との間、または情報蓄積用容量素子の上部に配

置される。情報蓄積用容量素子をビット線の上に配置する構造は、キャパシタ・オーバー・ビットライン(Capacitor Over Bitline; COB)構造と呼ばれる。

【0005】上記COB構造を有するDRAMについては、特開平7-122654号公報や特開平7-106437号公報に記載がある。

【0006】特開平7-122654号公報に記載されたDRAMは、多結晶シリコン膜または多結晶シリコン膜とタングステンシリサイド(WSix)膜との積層膜(ポリサイド膜)でゲート電極(ワード線)を形成したメモリセル選択用MISFETの上部に多結晶シリコン膜(またはポリサイド膜)で形成したビット線を配置し、このビット線の上に多結晶シリコン膜で形成した蓄積電極と、酸化シリコン膜および窒化シリコン膜の積層膜で形成した容量絶縁膜と、多結晶シリコン膜で形成したプレート電極とからなる情報蓄積用容量素子を配置している。そして、この情報蓄積用容量素子の上部に第1層目のA1(アルミニウム)膜で形成した共通ソース線と第2層目のA1膜で形成したシャント用のワード線とを配置している。

【0007】特開平7-106437号公報に記載されたDRAMは、多結晶シリコン膜でゲート電極(ワード線)を形成したメモリセル選択用MISFETの上部にポリサイド膜で形成したビット線を配置している。そして、このビット線の上に配置した情報蓄積用容量素子の蓄積電極またはプレート電極と周辺回路の第1層目配線とを金属材料(例えばPt(白金))で同時に形成することにより、情報蓄積用容量素子の電極形成工程と周辺回路のメタル配線形成工程とを共通化して製造工程の簡素化を図っている。

【0008】

【発明が解決しようとする課題】前述したCOB構造のDRAMは、A1やWなどの金属材料に比べて抵抗が高い多結晶シリコンやポリサイドでゲート電極(ワード線)を形成しているため、情報蓄積用容量素子の上部にゲート電極裏打ち用のメタル配線(シャント用ワード線)を形成することによってゲート遅延を低減している。また、抵抗が高く、しかもn型基板とp型基板とに同時に接続することができない多結晶シリコンやポリサイドでビット線を形成しているため、ビット線と周辺回路の配線とを共通化することができない。そのため、メモリアレイと周辺回路のそれぞれの配線層の数が増え、製造工程が増大するという問題が生じる。

【0009】また、配線層の数が増えると上下の配線間に形成する層間絶縁膜の層数も増え、850~900℃の高温で層間絶縁膜をリフローしたりアニールしたりする平坦化処理の回数が多くなる。そのため、MISFETのソース領域、ドレイン領域を構成する半導体領域(拡散層)中の不純物が基板内に拡散し易くなり、浅いpn接合を形成することが困難となる結果、MISFET

Tの性能が低下するという問題が生じる。

【0010】また、ビット線と周辺回路の配線を共通化することができないので、周辺回路の第1層目配線をビット線よりも上層に形成しなければならない。そのため、第1層目配線と周辺回路のMISFETとを接続する接続孔のアスペクト比(径/深さ)が大きくなる結果、接続孔の形成が困難になったり、接続孔の内部に配線材料を埋め込むことが困難になったりするという問題が生じる。

【0011】また、抵抗が高い多結晶シリコンやポリサイドでゲート電極(ワード線)を形成した場合は、1個のワードドライバに接続できるメモリセルの数を多くすることができない。すなわち、ゲート遅延を低減するために所定の数のメモリセルに接続されるワードドライバの数を多くしなければならないので、チップサイズが大きくなって集積度が低下するという問題が生じる。

【0012】本発明の一つの目的は、COB構造を有するDRAMの製造工程を簡略化することのできる技術を提供することにある。

【0013】本発明の他の目的は、COB構造を有するDRAMの高速化を推進することのできる技術を提供することにある。

【0014】本発明の他の目的は、COB構造を有するDRAMの高性能化を推進することのできる技術を提供することにある。

【0015】本発明の他の目的は、COB構造を有するDRAMの高集積化を推進することのできる技術を提供することにある。

【0016】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】(1)本発明の半導体集積回路装置は、メモリセル選択用MISFETの上部にビット線を配置し、前記ビット線の上に情報蓄積用容量素子を配置するスタックド・キャパシタ構造のメモリセルを備えたDRAMを有しており、前記メモリセル選択用MISFETのゲート電極およびこれに接続されるワード線と、周辺回路のMISFETのゲート電極と、周辺回路の第1層目配線とを、少なくとも1層のメタル膜を含む第1の導電層で構成し、前記ビット線と周辺回路の第2層目配線とを、少なくとも1層のメタル膜を含む第2の導電層で構成し、前記情報蓄積用容量素子の上部の配線と周辺回路の第3層目配線とを、少なくとも1層のメタル膜を含む第3の導電層で構成したものである。

【0019】(2)本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に少なくとも1層のメタル

膜を含む第1の導電層を形成した後、前記第1の導電層をパターニングすることにより、メモリセル選択用MISFETのゲート電極およびこれに接続されるワード線と、周辺回路のMISFETのゲート電極と、周辺回路の第1層目配線とを同時に形成する工程、(b)前記メモリセル選択用MISFETのゲート電極およびこれに接続されるワード線と、前記周辺回路のMISFETのゲート電極と、前記周辺回路の第1層目配線との上部に形成した第1の絶縁膜上に少なくとも1層のメタル膜を含む第2の導電層を形成した後、前記第2の導電層をパターニングすることにより、ビット線と周辺回路の第2層目配線とを同時に形成する工程、(c)前記ビット線と前記周辺回路の第2層目配線との上部に形成した第2の絶縁膜上に、下部電極と容量絶縁膜と上部電極とで構成される情報蓄積用容量素子を形成する工程、(d)前記情報蓄積用容量素子の上部に形成した第3の絶縁膜上に少なくとも1層のメタル膜を含む第3の導電層を形成した後、前記第3の導電層をパターニングすることにより、前記情報蓄積用容量素子の上部の配線と周辺回路の第3層目配線とを同時に形成する工程、を含んでいる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面に基つて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0021】(実施の形態1)図1は、本実施の形態のDRAMを形成した半導体チップの全体平面図、図2は、その一部を示す拡大平面図である。

【0022】単結晶シリコンからなる半導体チップ1Aの主面には、例えば64Mbit(メガビット)の容量を有するDRAMが形成されている。図1に示すように、このDRAMは、8個に分割されたメモリマツトMMとそれらの周囲に配置された周辺回路とで構成されている。8Mbitの容量を有するメモリマツトMMのそれぞれは、図2に示すように、16個のメモリアレイMARYに分割されている。メモリアレイMARYのそれぞれは、行列状に配置された2Kbit(キロビット)×256bit=512Kbitのメモリセルで構成されており、それらの周囲には、周辺回路のセンスアンプSAとワードドライバWDとが配置されている。

【0023】図3は、本実施の形態のDRAMの要部(図2に示すメモリアレイとそれに隣接する周辺回路の各一部)を示す半導体基板の断面図である。

【0024】p⁻型の単結晶シリコンからなる半導体基板1には、メモリアレイMARYおよび周辺回路に共通のp型ウエル2と周辺回路のn型ウエル3とが形成されている。p型ウエル2、n型ウエル3のそれぞれの表面には素子分離用のフィールド酸化膜4が形成されており、このフィールド酸化膜4の下部を含むp型ウエル2内にはp型チャネルストップ層5が、またn型ウエル3

内にはn型チャネルストップ層6がそれぞれ形成されている。

【0025】メモリアレイMARYのp型ウエル2のアクティブ領域にはメモリセル(複数)が形成されている。メモリセルのそれぞれは、nチャネル型で構成された一個のメモリセル選択用MISFETQ_tとその上部に形成された一個の情報蓄積用容量素子Cとで構成されている。すなわち、このメモリセルは、メモリセル選択用MISFETQ_tの上部に情報蓄積用容量素子Cを配置するスタックド・キャパシタ構造で構成されている。

【0026】メモリセル選択用MISFETQ_tは、ゲート酸化膜7、ワード線WLと一体に形成されたゲート電極8Aおよび一对のn型半導体領域9、9(ソース領域、ドレイン領域)で構成されている。ゲート電極8A(ワード線WL)は、多結晶シリコン膜とTiN(チタンナイトライド)膜とW(タングステン)膜とを積層した3層の導電膜(第1の導電層)で構成されており、多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物(P(リン))がドーピングされている。ゲート電極8A(ワード線WL)の上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。

【0027】周辺回路のp型ウエル2のアクティブ領域にはnチャネル型MISFETQ_nが形成されており、n型ウエル3のアクティブ領域にはpチャネル型MISFETQ_pが形成されている。すなわち、この周辺回路は、nチャネル型MISFETQ_nとpチャネル型MISFETQ_pとを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)回路で構成されている。

【0028】nチャネル型MISFETQ_nは、ゲート酸化膜7、ゲート電極8B、ソース領域およびドレイン領域で構成されている。ゲート電極8Bは、前記メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)と同じく、多結晶シリコン膜とTiN膜とW膜とを積層した3層の導電膜で構成されている。また、ゲート電極8Bの上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペーサ11が形成されている。ソース領域およびドレイン領域は、低不純物濃度のn⁻型半導体領域12と高不純物濃度のn⁺型半導体領域13とからなるLDD(Lightly Doped Drain)構造で構成されており、n⁺型半導体領域13の表面にはTiシラサイド(TiSix)層16が形成されている。

【0029】pチャネル型MISFETQ_pは、ゲート酸化膜7、ゲート電極8C、ソース領域およびドレイン領域で構成されている。ゲート電極8Cは、前記メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)と同じく、多結晶シリコン膜とTiN膜とW膜とを積層した3層の導電膜で構成されている。また、ゲート電極8Cの上部には窒化シリコン膜10が形成され

ており、側壁には窒化シリコンのサイドウォールスペース11が形成されている。ソース領域およびドレイン領域は、低不純物濃度の p^- 型半導体領域14と高不純物濃度の p^+ 型半導体領域15とからなるLDD構造で構成されており、 p^+ 型半導体領域15の表面にはTiシリサイド層16が形成されている。

【0030】周辺回路のフィールド絶縁膜4の上部には第1層目の配線8Dが形成されている。配線8Dは、前記メモリセル選択用MISFETQ_tのゲート電極8A（ワード線WL）と同じく、多結晶シリコン膜とTiN膜とW膜とを積層した3層の導電膜で構成されている。また、配線8Dの上部には窒化シリコン膜10が形成されており、側壁には窒化シリコンのサイドウォールスペース11が形成されている。

【0031】メモリセル選択用MISFETQ_t、nチャネル型MISFETQ_n、pチャネル型MISFETQ_pおよび配線8Dの上部には酸化シリコン膜17が形成されている。酸化シリコン膜17の上部にはBPSG（Boron-doped Phospho Silicate Glass）膜18が形成されており、BPSG膜18の上部には酸化シリコン膜19が形成されている。

【0032】メモリアレイMARYの酸化シリコン膜19の上部にはビット線BL₁、BL₂が形成されている。ビット線BL₁、BL₂は、TiN膜とW膜とを積層した2層の導電膜（第2の導電層）で構成されている。ビット線BL₁は、多結晶シリコンのプラグ20を埋め込んだ接続孔21を通じてメモリセル選択用MISFETQ_tのソース領域、ドレイン領域の一方（n型半導体領域9）と電気的に接続されている。またビット線BL₂は、接続孔23を通じて周辺回路のnチャネル型MISFETQ_nのソース領域、ドレイン領域の一方（ n^+ 型半導体領域13）と電気的に接続されている。

【0033】周辺回路の酸化シリコン膜19の上部には第2層目の配線30A、30Bが形成されている。配線30A、30Bは、前記ビット線BL₁、BL₂と同じく、TiN膜とW膜とを積層した2層の導電膜で構成されている。配線30Aの一端は、接続孔24を通じてnチャネル型MISFETQ_nのソース領域、ドレイン領域の他方（ n^+ 型半導体領域13）と電気的に接続されており、他端は接続孔25を通じてpチャネル型MISFETQ_pのソース領域、ドレイン領域の一方（ p^+ 型半導体領域15）と電気的に接続されている。また配線30Bの一端は、接続孔26を通じてpチャネル型MISFETQ_pのソース領域、ドレイン領域の他方（ p^+ 型半導体領域15）と電気的に接続されており、他端は接続孔27を通じて前記第1層目の配線8Dと電気的に接続されている。

【0034】図4（周辺回路の他の一部を示す平面図）に示すように、本実施の形態のDRAMの周辺回路は、第1層目の配線8Dと第2層目の配線30C～30Gと

を使ってnチャネル型MISFETQ_nとpチャネル型MISFETQ_pとを結線している。n型の不純物（P）をドーピングした多結晶シリコン膜とTiN膜とW膜との積層膜で構成された第1層目の配線8Dは、p型ウエル2とn型ウエル3とに同時に接続することができないので、フィールド酸化膜4の上部に配置されている。nチャネル型MISFETQ_nとpチャネル型MISFETQ_pへの電源電圧（V_{cc}またはGND）の供給は、後述する第3層目の配線（38C、38D）を使って行われる。

【0035】ビット線BL₁、BL₂および配線30A、30Bの上部には酸化シリコン膜31が形成されている。メモリアレイMARYの酸化シリコン膜31の上部には情報蓄積用容量素子Cが形成されている。情報蓄積用容量素子Cは、蓄積電極（下部電極）32、容量絶縁膜33およびプレート電極（上部電極）34で構成されている。

【0036】情報蓄積用容量素子Cの蓄積電極32は、W膜で構成されており、Wのプラグ35を埋め込んだ接続孔36および多結晶シリコンのプラグ20を埋め込んだ接続孔22を通じてメモリセル選択用MISFETQ_tのソース領域、ドレイン領域の他方（n型半導体領域9）と電気的に接続されている。容量絶縁膜33はTa₂O₅（酸化タンタル）膜で構成されており、プレート電極34はTiN膜で構成されている。

【0037】情報蓄積用容量素子Cの上部には酸化シリコン膜37が形成されている。メモリアレイMARYの酸化シリコン膜37の上部にはYセレクト線YSおよび配線38Aが形成されており、周辺回路の酸化シリコン膜37の上部には第3層目の配線38Bが形成されている。配線38Aは、接続孔40を通じて情報蓄積用容量素子Cのプレート電極34と電気的に接続されており、プレート電極34にプレート電圧（V_p）を供給する。配線38Bは、接続孔41を通じて周辺回路の第2層目の配線30Aと電気的に接続されており、周辺回路のMISFETに電源電圧（V_{cc}またはGND）を供給する。Yセレクト線YSおよび配線38A、38Bは、Ti膜、TiN膜、Si（シリコン）とCu（銅）を添加したAl（アルミニウム）合金膜およびTiN膜を積層した4層の導電膜（第3の導電層）で構成されている。

【0038】Yセレクト線YSおよび配線38A、38Bの上部には酸化シリコン膜と窒化シリコン膜との積層膜などで構成されたパッシベーション膜が形成され、パッシベーション膜の上部には必要に応じてポリイミド樹脂などの保護膜が形成されているが、それらの図示は省略する。

【0039】次に、本実施の形態のDRAMの製造方法を図5～図18を用いて詳細に説明する。

【0040】まず、図5に示すように、半導体基板1の表面に選択酸化（LOCOS）法でフィールド酸化膜4

を形成した後、メモリアレイMARYを形成する領域と周辺回路のnチャネル型MISFETを形成する領域の半導体基板1にp型不純物（ホウ素（B））をイオン注入してp型ウエル2を形成し、周辺回路のpチャネル型MISFETを形成する領域の半導体基板1にn型不純物（リン（P））をイオン注入してn型ウエル3を形成する。続いて、p型ウエル2にp型不純物（B）をイオン注入してp型チャネルストップ層5を形成し、n型ウエル3にn型不純物（P）をイオン注入してn型チャネルストップ層6を形成する。その後、フィールド酸化膜4

【0041】次に、図6に示すように、メモリセル選択用MISFETQ_tのゲート電極8A（ワード線WL）、nチャネル型MISFETQ_nのゲート電極8B、pチャネル型MISFETQ_pのゲート電極8Cおよび第1層目の配線8Dを形成する。ゲート電極8A

（ワード線WL）、8B、8Cおよび配線8Dは、まずCVD法で多結晶シリコン膜を堆積し、次いでスパッタリング法でTi₂N膜とW膜とを堆積し、さらにCVD法で窒化シリコン膜10を堆積した後、フォトリソをマスクにしたエッチングでこれらの膜をパターニングして同時に形成する。

【0042】次に、図7に示すように、p型ウエル2にn型不純物（P）をイオン注入してメモリセル選択用MISFETQ_tのn型半導体領域9、9とnチャネル型MISFETQ_nのn⁻型半導体領域12とを形成し、n型ウエル3にp型不純物（B）をイオン注入してpチャネル型MISFETQ_pのp⁻型半導体領域を形成する。

【0043】次に、図8に示すように、メモリセル選択用MISFETQ_tのゲート電極8A（ワード線WL）、nチャネル型MISFETQ_nのゲート電極8B、pチャネル型MISFETQ_pのゲート電極8Cおよび第1層目の配線8Dのそれぞれの側壁にサイドウォールスペーサ11を形成する。サイドウォールスペーサ11は、CVD法で堆積した窒化シリコン膜を異方性エッチングして形成する。次いで、周辺回路のp型ウエル2にn型不純物（P）をイオン注入してnチャネル型MISFETQ_nのn⁺型半導体領域13を形成し、n型ウエル3にp型不純物（B）をイオン注入してpチャネル型MISFETQ_pのp⁺型半導体領域15を形成する。

【0044】次に、図9に示すように、メモリセル選択用MISFETQ_tのゲート電極8A（ワード線WL）、nチャネル型MISFETQ_nのゲート電極8B、pチャネル型MISFETQ_pのゲート電極8Cおよび第1層目の配線8Dのそれぞれの上にCVD法で酸化シリコン膜17とBPSG膜18とを堆積した後、化学的機械研磨法（Chemical Mechanical Polishing; C

MP）法でBPSG膜18を研磨し、その表面を平坦化する。

【0045】次に、図10に示すように、BPSG膜18上にCVD法で多結晶シリコン膜28を堆積した後、フォトリソをマスクにして多結晶シリコン膜28、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、メモリセル選択用MISFETQ_tのソース領域、ドレイン領域の一方（n型半導体領域9）の上部に接続孔21を形成し、他方（n型半導体領域9）の上部に接続孔22を形成する。このとき、メモリセル選択用MISFETQ_tのゲート電極8A（ワード線WL）の上部に形成された窒化シリコン膜10と側壁に形成された窒化シリコンのサイドウォールスペーサ11は、ほとんどエッチングされずに残るので、上記フォトリソのマスクを形成するのに用いた露光の解像度よりも小さい径の接続孔21、22を自己整合（セルフアライン）で形成することができる。

【0046】次に、図11に示すように、接続孔21、22の内部に多結晶シリコンのプラグ20を形成する。このプラグ20は、多結晶シリコン膜28の上部にCVD法で多結晶シリコン膜を堆積した後、BPSG膜18の上部の多結晶シリコン膜と多結晶シリコン膜28とをエッチバックで除去して形成する。プラグ20を構成する多結晶シリコン膜にはn型の不純物（P）をドーピングする。この不純物は、接続孔21、22を通じてメモリセル選択用MISFETQ_tのn型半導体領域9、9（ソース領域、ドレイン領域）に拡散し、n型半導体領域9、9を低抵抗化する。

【0047】次に、図12に示すように、BPSG膜18の上部にCVD法で酸化シリコン膜19を堆積し、次いでフォトリソをマスクにしたエッチングで接続孔21の上部の酸化シリコン膜19を除去した後、図13に示すように、フォトリソをマスクにして周辺回路の酸化シリコン膜19、BPSG膜18、酸化シリコン膜17およびゲート酸化膜7をエッチングすることにより、nチャネル型MISFETQ_nのソース領域、ドレイン領域の一方の上部に接続孔23を形成し、他方の上部に接続孔24を形成する。また、pチャネル型MISFETQ_pのソース領域、ドレイン領域の一方の上部に接続孔25を形成し、他方の上部に接続孔26を形成し、配線8Dの上部に接続孔27を形成する。

【0048】次に、図14に示すように、接続孔23、24の底部に露出したnチャネル型MISFETQ_nのn⁺型半導体領域13の表面と、接続孔25、26の底部に露出したpチャネル型MISFETQ_pのp⁺型半導体領域15の表面とにTiシリサイド層16を形成した後、メモリアレイMARYの酸化シリコン膜19の上部にビット線BL₁、BL₂を形成し、周辺回路の酸化シリコン膜19の上部に第2層目の配線30A、30Bを

形成する。Tiシリサイド層16は、スパッタリング法で堆積したTi膜をアニールしてSi基板(n^+ 型半導体領域13、 p^+ 型半導体領域15)と反応させた後、未反応のTi膜をエッチングで除去して形成する。ビット線 BL_1 、 BL_2 および配線30A、30Bは、スパッタリング法でTiN膜とW膜とを堆積した後、フォトリジストをマスクにしたエッチングでこれらの膜をパターンニングして同時に形成する。

【0049】次に、図15に示すように、ビット線 BL_1 、 BL_2 および配線30A、30Bの上部にCVD法で堆積した酸化シリコン膜31を化学的機械研磨法で研磨してその表面を平坦化した後、フォトリジストをマスクにして酸化シリコン膜31および酸化シリコン膜19をエッチングすることにより、メモリセル選択用MISFETQ_tのソース領域、ドレイン領域の他方(n 型半導体領域9)の上部に形成された前記接続孔22の上部に接続孔36を形成する。

【0050】次に、図16に示すように、接続孔36の内部にWのプラグ35を形成した後、接続孔36の上部に情報蓄積用容量素子Cの蓄積電極32を形成する。Wのプラグ35は、酸化シリコン膜31の上部にスパッタリング法とCVD法で堆積したW膜をエッチバックして形成する。蓄積電極32は、酸化シリコン膜31の上部にスパッタリング法で堆積したW膜を、フォトリジストをマスクにしたエッチングでパターンニングして形成する。

【0051】次に、図17に示すように、蓄積電極32の上部にCVD法で Ta_2O_5 膜を堆積し、次いで Ta_2O_5 膜の上部にCVD法でTiN膜を堆積した後、フォトリジストをマスクにしたエッチングでこれらの膜をパターンニングすることにより、W膜で構成された蓄積電極32と Ta_2O_5 膜で構成された容量絶縁膜33とTiN膜で構成されたプレート電極34とからなる情報蓄積用容量素子Cを形成する。

【0052】次に、図18に示すように、情報蓄積用容量素子Cの上部にCVD法で堆積した酸化シリコン膜37を化学的機械研磨法で研磨してその表面を平坦化した後、フォトリジストをマスクにして酸化シリコン膜37をエッチングすることにより、情報蓄積用容量素子Cのプレート電極34の上部に接続孔40を形成し、同時に酸化シリコン膜37および酸化シリコン膜31をエッチングすることにより、周辺回路の第2層目の配線30Aの上部に接続孔41を形成する。

【0053】その後、酸化シリコン膜37の上部にYセレクト線YSおよび周辺回路の第3層目の配線38A、38Bを形成することにより、前記図3に示すDRAMが完成する。Yセレクト線YSおよび配線38A、38Bは、酸化シリコン膜37の上部にスパッタリング法でTi膜、TiN膜、Al合金膜およびTiN膜を堆積した後、フォトリジストをマスクにしたエッチングでこれ

らの膜をパターンニングして同時に形成する。

【0054】上記のように構成された本実施の形態のDRAMによれば、次のような効果を得ることができる。

【0055】(1)メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)、周辺回路の n チャネル型MISFETQ_nのゲート電極8Bおよび p チャネル型MISFETQ_pのゲート電極8Cを多結晶シリコンやポリサイドよりも低抵抗のWを含む導電膜で構成したことにより、ゲート遅延を低減することができるので、DRAMの動作速度を向上させることができる。また、従来、情報蓄積用容量素子の上部に形成していたゲート電極裏打ち用の低抵抗メタル配線(シャント用ワード線)が不要となるので、メモリアレイMARYの配線層を1層減らすことができる。

【0056】(2)上記(1)により、メモリアレイMARYのゲート電極8A(ワード線WL)、周辺回路のゲート電極8B、8Cおよび第1層目の配線8Dを同一工程で形成することができる。これにより、従来、メモリアレイMARYの配線層とは別の配線層に形成していた周辺回路の第1層目配線が不要となるので、周辺回路の配線層を1層減らすことができる。

【0057】(3)上記(1)により、1個のワードドライバWDに接続するメモリセルの数を多くすることができる。すなわち、所定の数のメモリセルに接続されるワードドライバWDの数を減らすことができるので、その分、チップサイズを縮小して(またはメモリアレイMARYの占有面積を拡大して)DRAMの集積度を向上させることができる。

【0058】(4)ビット線 BL_1 、 BL_2 を低抵抗のWを含む導電膜で構成したことにより、ビット線遅延を低減することができるので、DRAMの動作速度を向上させることができる。

【0059】(5)上記(4)により、メモリアレイMARYのビット線 BL_1 、 BL_2 と周辺回路の第2層目の配線30A、30Bとを同一工程で形成することができる。これにより、従来、メモリセルの情報蓄積用容量素子Cを形成した後の工程で形成していた周辺回路の第2層目配線が不要となるので、周辺回路の配線層を1層減らすことができる。

【0060】(6)周辺回路の n チャネル型MISFETQ_nと p チャネル型MISFETQ_pとを接続する第1層目の配線8Dおよび第2層目の配線30A、30Bをメモリセルの情報蓄積用容量素子Cよりも下層に配置したことにより、 n チャネル型MISFETQ_nのソース領域、ドレイン領域の上部に形成する接続孔23、24および p チャネル型MISFETQ_pのソース領域、ドレイン領域の上部に形成する接続孔25、26のアスペクト比を小さくすることができるので、これらの接続孔(23~26)の内部における配線の接続信頼性を向上させることができる。

【0061】(7)上記(1)、(2)、(5)により、メモリアレイMARYの配線層を1層減らし、周辺回路の配線層を2層減らすことができるので、DRAMの製造工程数を低減して歩留まりの向上および製造コストの低減を図ることができる。

【0062】(8)メモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)、nチャネル型MISFETQ_nのゲート電極8B、pチャネル型MISFETQ_pのゲート電極8Cおよび第1層目の配線8Dの上部に堆積したBPSG膜18と、ビット線BL₁、BL₂および配線30A、30Bの上部に堆積した酸化シリコン膜31と、情報蓄積用容量素子Cの上部に堆積した酸化シリコン膜37とを化学的機械研磨法で研磨してそれらの表面を平坦化し、および上記(7)により、プロセス全体の熱処理工程の数を低減することができる。これにより、メモリセル選択用MISFETQ_t

と、nチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pのそれぞれのソース領域、ドレイン領域中の不純物の拡散を抑制して浅いpn接合を形成することができるので、これらのMISFETの微細化、高性能化を推進することができる。

【0063】(実施の形態2)図19は、本実施の形態のDRAMの要部を示す半導体基板の断面図である。

【0064】本実施の形態のDRAMは、メモリセル選択用MISFETQ_tのソース領域、ドレイン領域の一方(n型半導体領域9)とビット線BL₁とを電気的に接続する接続孔21の内部およびソース領域、ドレイン領域の他方(n型半導体領域9)と情報蓄積用容量素子Cの蓄積電極(下部電極)32とを電気的に接続する接続孔22の内部にTiN膜とW膜とを積層した2層の導電膜で構成されたプラグ29を埋め込んでいる。このプラグ29は、酸化シリコン膜19上にスパッタリング法でTiN膜とW膜とを堆積した後、これらの膜をエッチバックして形成する。

【0065】上記の構成によれば、メモリアレイMARYの配線層すなわちメモリセル選択用MISFETQ_tのゲート電極8A(ワード線WL)、ビット線BL₁、BL₂およびYセレクト線YSとプラグ29、35とを低抵抗金属材料(W膜またはAl膜)を含む導電層で構成し、周辺回路の配線層すなわちnチャネル型MISFETQ_nのゲート電極8B、pチャネル型MISFETQ_pのゲート電極8C、第1層目の配線8D、第2層目の配線30A、30Bおよび第3層目の配線30A、30Bを低抵抗金属材料(W膜またはAl膜)を含む導電層で構成したことにより、DRAMの動作速度を向上させることができる。

【0066】また、本実施の形態のDRAMは、周辺回路の第2層目の配線30A、30Bと第3層目の配線38A、38Bとの間に補助配線39A、39B、39Cを形成している。補助配線39A、39B、39Cは、

情報蓄積用容量素子Cと同じくW膜、Ta₂O₅膜およびTiN膜を積層した3層膜で構成し、情報蓄積用容量素子Cを形成する工程で同時に形成する。

【0067】補助配線39A、39Bは、例えば第3層目の配線38A、38Bと第2層目の配線30A、30Bとを接続するパッド層などとして使用される。これにより、第3層目の配線38A、38Bと第2層目の配線30A、30Bとを接続する接続孔のアスペクト比を小さくすることができるので、周辺回路の配線の接続信頼性を向上させることができる。補助配線39Cは、例えばメモリアレイMARYと周辺回路との標高差を緩和するためのダミー配線として使用され、上記パッド層が形成されていない領域に適宜配置されている。

【0068】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0069】例えばMISFETのゲート電極(ワード線)や周辺回路の第1層目配線あるいは情報蓄積用容量素子の蓄積電極をWN(窒化タングステン)膜を含んだ導電層で構成してもよい。また、情報蓄積用容量素子のプレート電極をPt(プラチナ)やAu(金)を含んだ導電層で構成したり、容量絶縁膜をPZTなどの強誘電体膜で構成したりしてもよい。さらに、情報蓄積用容量素子の上部の配線をCu(銅)で構成してもよい。

【0070】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0071】本発明によれば、メモリアレイの配線層と周辺回路の配線層を減らすことができるので、DRAMの製造工程数を低減して歩留まりの向上および製造コストの低減を図ることができる。

【0072】本発明によれば、ゲート電極(ワード線)を低抵抗化することができるので、所定の数のメモリセルに接続されるワードドライバの数を減らすことができ、これにより、チップサイズを縮小してDRAMの集積度を向上させることができる。

【0073】本発明によれば、周辺回路のnチャネル型MISFETとpチャネル型MISFETとを接続する第1層目の配線および第2層目の配線をメモリセルの情報蓄積用容量素子よりも下層に配置したことにより、これらのMISFETのソース領域、ドレイン領域の上部に形成する接続孔のアスペクト比を小さくことができ、周辺回路の配線の接続信頼性を向上させることができる。

【0074】本発明によれば、プロセス全体の熱処理工程の数を低減することができるので、MISFETのソース領域、ドレイン領域中の不純物の拡散を抑制して浅いpn接合を形成することができ、これによりDRAM

を構成するMISFETの微細化、高性能化を推進することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるDRAMを形成した半導体チップの全体平面図である。

【図2】本発明の実施の形態1であるDRAMを形成した半導体チップの拡大平面図である。

【図3】本発明の実施の形態1であるDRAMを示す半導体基板の要部断面図である。

【図4】本発明の実施の形態1であるDRAMの周辺回路の一部を示す平面図である。

【図5】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図16】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の実施の形態1であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図19】本発明の実施の形態2であるDRAMを示す半導体基板の要部断面図である。

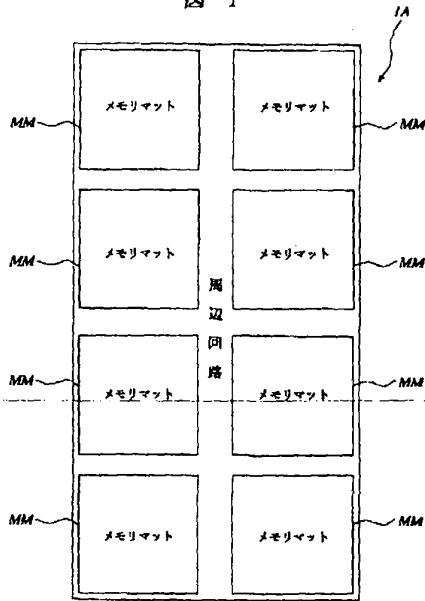
【符号の説明】

- 1 半導体基板
- 1A 半導体チップ
- 2 p型ウエル
- 3 n型ウエル
- 4 フィールド酸化膜
- 5 p型チャネルストップ層

- 6 n型チャネルストップ層
- 7 ゲート酸化膜
- 8A、8B、8C ゲート電極
- 8D 配線
- 9 n型半導体領域
- 10 窒化シリコン膜
- 11 サイドウォールスペーサ
- 12 n⁻型半導体領域
- 13 n⁺型半導体領域
- 14 p⁻型半導体領域
- 15 p⁺型半導体領域
- 16 Tiシリサイド層
- 17 酸化シリコン膜
- 18 BPSG膜
- 19 酸化シリコン膜
- 20 プラグ
- 21 接続孔
- 22 接続孔
- 23 接続孔
- 24 接続孔
- 25 接続孔
- 26 接続孔
- 27 接続孔
- 28 多結晶シリコン膜
- 29 プラグ
- 30A~30G 配線
- 31 酸化シリコン膜
- 32 蓄積電極(下部電極)
- 33 容量絶縁膜
- 34 プレート電極(上部電極)
- 35 プラグ
- 36 接続孔
- 37 酸化シリコン膜
- 38A~38D 配線
- 39A、39B、39C 補助配線
- 40 接続孔
- 41 接続孔
- C 情報蓄積容量素子
- BL₁、BL₂ ビット線
- MARY メモリアレイ
- MM メモリマツト
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qt メモリセル選択用MISFET
- SA センスアンプ
- WD ワードドライバ
- WL ワード線
- YS Yセレクト線

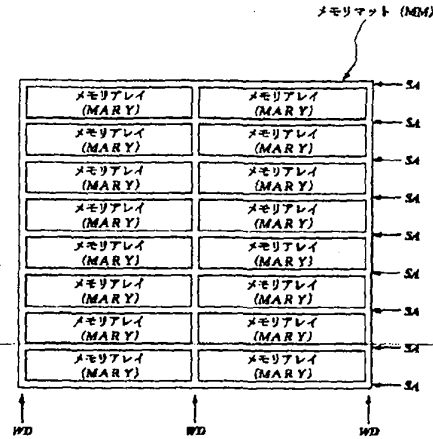
【図1】

図 1



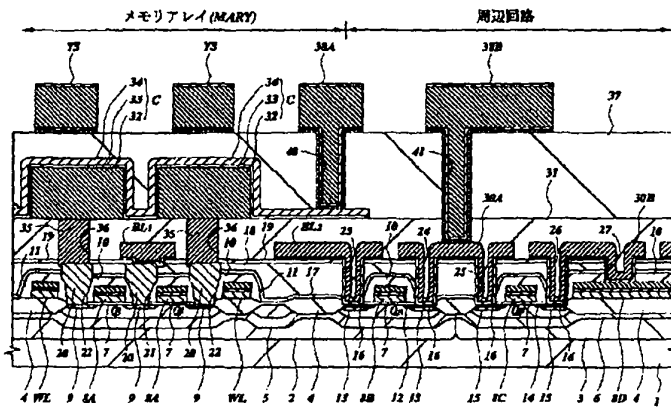
【図2】

図 2



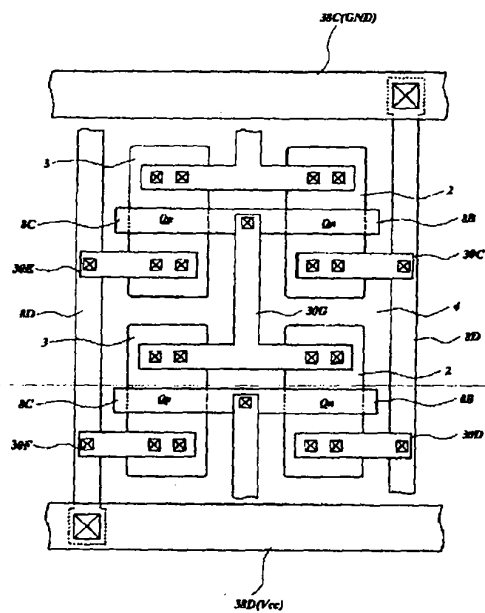
【図3】

図 3



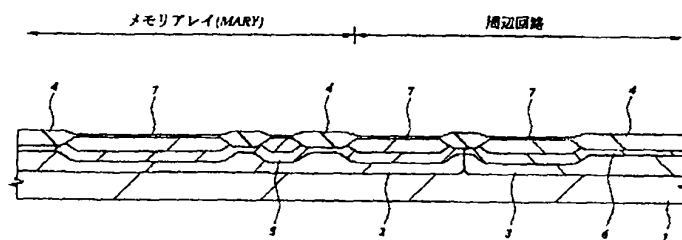
【図4】

図 4



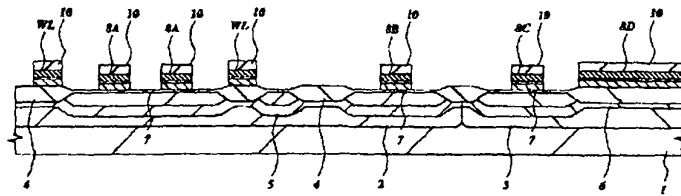
【図5】

図 5



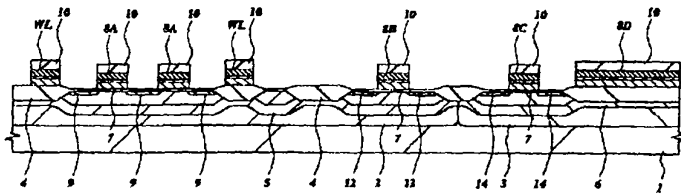
【図6】

図 6



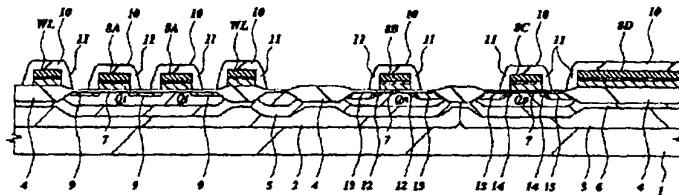
【図7】

図 7



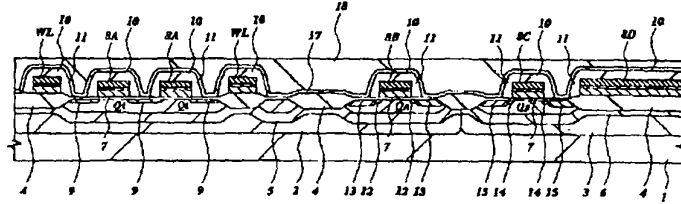
【図8】

図 8



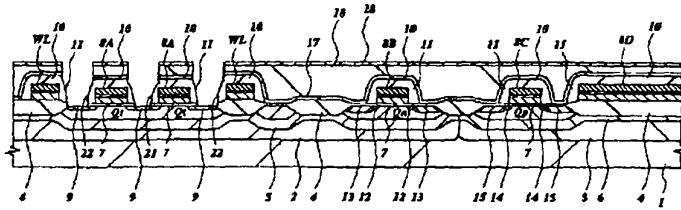
【図9】

図 9



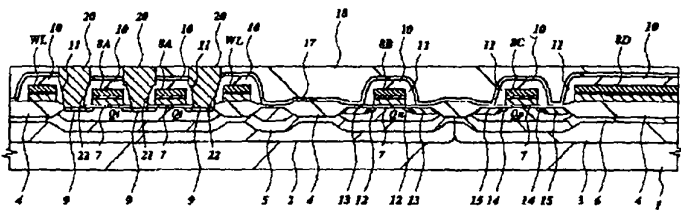
【図10】

図 10



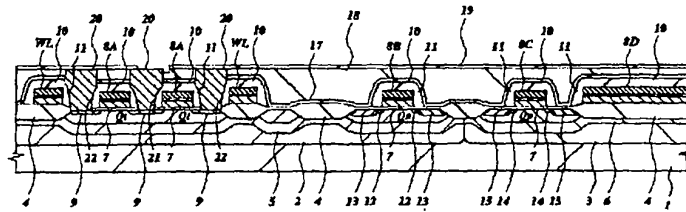
【図11】

図 11



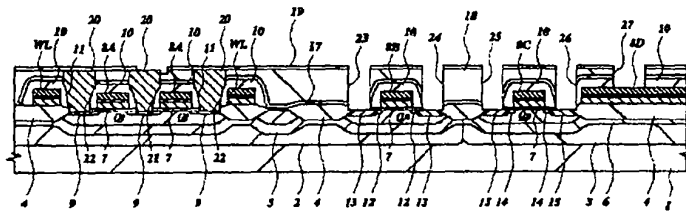
【図12】

図 12



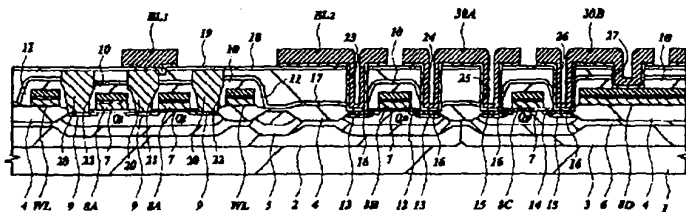
【図13】

図 13



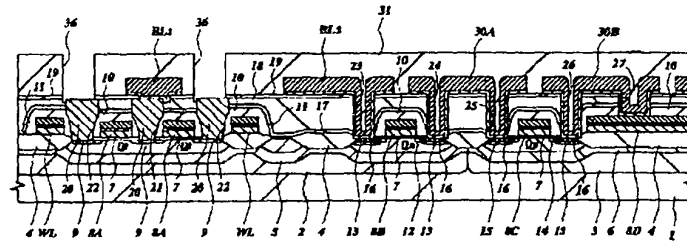
【図14】

図 14



特開平9-321242

☒ 15



16

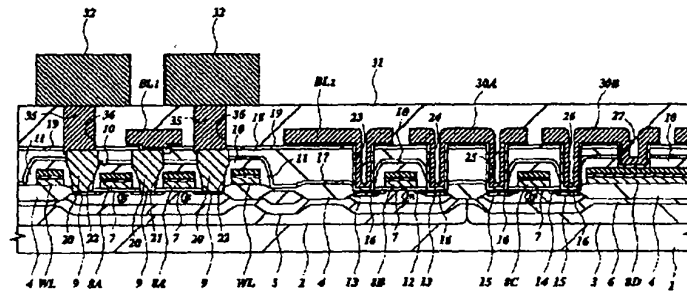


图 17

